

Progetti disponibili

Corso “Progetto di Ingegneria Informatica”

Ultimo aggiornamento: 25 Febbraio 2025

1 – Accelerazione FPGA di Modelli di Deep Learning

Accelerare in modo efficace l’inferenza per i modelli di deep learning è fondamentale per ottimizzarne le prestazioni e l’efficienza energetica. Gli FPGA (Field-Programmable Gate Arrays) offrono un’elevata flessibilità e parallelismo, rendendoli una soluzione promettente per l’implementazione hardware di algoritmi di intelligenza artificiale e deep learning.

Questo progetto si propone di progettare e implementare acceleratori FPGA per applicazioni di deep learning, valutandone l’efficienza in termini di prestazioni, occupazione di area e altri parametri chiave di qualità. Attraverso un’analisi sistematica delle diverse scelte progettuali, l’obiettivo è ottimizzare l’accelerazione dell’inferenza garantendo al contempo la fattibilità pratica dell’hardware.

2 – Porting XFAB per il framework ALIGN

Electronic Design Automation (EDA) per i circuiti analogici sta attirando un’attenzione crescente sia in ambito accademico che industriale. I metodi di progettazione tradizionali risultano spesso dispendiosi in termini di tempo e richiedono un intervento manuale significativo, rendendo le soluzioni automatizzate altamente desiderabili per migliorare efficienza e accuratezza.

Questo progetto si concentra sullo sviluppo di generatori parametrizzati per la generazione automatica dei layout GDS di transistor MOS, condensatori e resistori, specificamente per il nodo tecnologico XFAB XH018.

Sfruttando tecniche di generazione procedurale, il progetto mira a migliorare la scalabilità della progettazione, ridurre l’errore umano e accelerare il processo di layout, contribuendo così a flussi di progettazione di circuiti analogici più efficienti.

3 – Individuare elementi problematici in circuiti analogici usando ML

La verifica nell’Electronic Design Automation (EDA) moderno sta assumendo un ruolo sempre più cruciale, in particolare per i circuiti analogici. Tradizionalmente, questo processo è prevalentemente manuale e richiede agli ingegneri di affidarsi all’esperienza per identificare i dispositivi responsabili dei difetti di progettazione. Questo approccio risulta dispendioso in termini di tempo e inefficiente, evidenziando la necessità di automazione.

Questo progetto mira a sfruttare tecniche di Machine Learning (ML), come le Convolutional Neural Networks (CNNs), i Multi-Layer Perceptrons (MLPs) e le Graph Neural Networks (GNNs), per automatizzare la localizzazione dei guasti nei circuiti analogici. Integrando metodologie basate su ML, il progetto intende migliorare l'efficienza della verifica, ridurre l'intervento umano e aumentare l'accuratezza della validazione dei circuiti.

4 – Confronto tra strumenti di estrazione capacità parassite in circuiti CMOS

Gli effetti parassiti svolgono un ruolo cruciale nelle prestazioni dei dispositivi analogici, spesso causando deviazioni dal comportamento atteso. Un'estrazione accurata dei parassiti è essenziale per garantire l'affidabilità dei circuiti, poiché parassiti non controllati possono provocare degradazione delle prestazioni e fallimenti nella progettazione. Sebbene esistano strumenti industriali avanzati per questo scopo, le alternative open-source stanno guadagnando attenzione per la loro accessibilità e flessibilità.

Questo progetto si propone di condurre un'analisi comparativa tra strumenti industriali per l'estrazione dei parassiti, come Cadence Quantus, e alternative open-source, come Magic. Lo studio valuterà accuratezza, efficienza e prestazioni computazionali, offrendo approfondimenti sui compromessi tra soluzioni proprietarie e open-source nella modellazione dei parassiti per la progettazione di circuiti analogici.